**数字逻辑与FPGA 实验报告**

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **实验名称：** | 实验四集成计数器芯片的应用 | | | | |
| **班 级：** | 物联网19-2班 | **姓 名：** | 付炎平 | **学 号：** | 2019217819 |
| **实验地点：** | 综合实验二307 | **日 期：** | 2020.12.27 | | |

|  |
| --- |
| **一、实验目的：**  1、掌握计数器芯片74LS160的功能。  2、掌握计数器的级联方法。  3、熟悉任意模计数器的构成方法。  4、熟悉数码管的使用。 |
| **二、实验环境：**  1、数字逻辑实验箱 1台  2、二输入四与非门74LS00  1片  3、同步十进制加法计数器74LS160  2片 |
| 1. **实验内容和要求：**   １、复习有关计数器部分内容  ２、绘出各实验内容的详细线路图  ３、拟出各实验内容所需的测试记录表格  ４、查手册、给出并熟悉实验所用各集成块的引脚排列图  5设计八进制加法计数器   1. 设计二十四进制加法计数器 2. 采用74LS160芯片，按照下图4.4连线。将输出连接到七段显示器上，将CLK连接试验箱左下方的1HZ连续脉冲或者接单次脉冲源，观察并记录数码管显示的字型。注意CR、LD、 CTT 和CTP引脚都连接“1”信号。实验箱上七段显示器的电源要连接。就是实验箱右上方的两个红色小孔要连接起来。     图4.4 |
| 1. **实验步骤：**   1.用1片74LS160和1片74LS00采用复位法(反馈清零法)构成一个模8计数器。画出逻辑电路连线图，用试验箱左下方的1HZ连续脉冲或者接单次脉冲源做计数时钟，将输出连接到七段显示器上，观测并记录数码管显示的字型。注意：每个芯片的电源和地都要连接。实验箱上七段显示器的电源要连接。就是实验箱右上方的两个红色小孔要连接起来。可以先测试74LS00芯片看看它是否是好的（用3根导线连接输入和输出进行测试，参看第一次实验）。  集成计数器的应用——实现任意M进制计数器  2.一般情况任意M进制计数器的结构分为3类，第一类是由触发器构成的简单计数器。第二类是由集成二进制计数器构成计数器。第三类是由移位寄存器构成的移位寄存型计数器。第一类，可利用时序逻辑电路的设计方法步骤进行设计。第二类，当计数器的模M较小时用一片集成计数器即可以实现，当M较大时，可通过多片计数器级联实现。两种实现方法：反馈置位法和反馈复位法。  具体参考实验电路如图4.3所示。  74LSl60芯片加上其它门电路，可以构成任意进制计数器。如下图图4.3所示。    置位法  复位法  图4.3 |
| 1. **实验结果与分析（**含程序、数据记录及分析和实验总结等**）：** 2. 八进制加法计数器     74LS160本身为十进制，想要设计八进制加法计数器，则需在十进制基础上通过在计数器计数到8时，通过置0引脚CR非将整体的输出置零，8的时候Q3、Q2、Q1、Q0对应的是1，0，0，0，从1到8计数只有8是在Q3处第一次出现1，故可以通过Q3接一个非门通到置0引脚CR非，实现在到8时置零，从而实现八进制加法计数器，由于74LS00芯片是与非门，因此我们可以把Q3与一个1信号通过与非并连，然后接入到指令引脚CR非中，同样能起到用非门筛选的效果。   1. 二十四进制加法计数器     单独的一块74LS160芯片只能计数1到9，是无法计数到16的，因此，我们需要两块74LS160芯片才能实现1到16的计数操作。故我们需要把表示个位数的芯片的进位引脚芯片CO，与第二块74LS160的脉冲端CP处，从而实现进位效果。二十四进制需要在计数到24时通过置零引脚CR非置零，此时十位的Q3、Q2、Q1、Q0对应的是0，0，0，1，个位的Q3、Q2、Q1、Q0对应的是1，0，0，0，即把十位的Q0引脚和个位的Q3引脚通过与非门并联后接到两个芯片的置零引脚CR非上，从而就实现了二十四进制加法计数器。 |
| **六、教师评语：**  **实验成绩： 教师：（签名要全称） 年 月 日** |